

## MOUNTING STRUCTURE OF CAPACITOR

Publication number: JP7106732 (A)

Publication date: 1995-04-21

Inventor(s): IJIMA KAZUHIKO, BABA SHUNJI; MAENO YOSHINOBU; NAKAMURA NAOKI; UZUKA YOSHINORI

Applicant(s): FUJITSU LTD

Classification:

- international: H01G4/38; H05K1/18; H05K3/34; H01G4/38; H05K1/18; H05K3/34; (IPC1-7): H05K1/18; H01G4/38

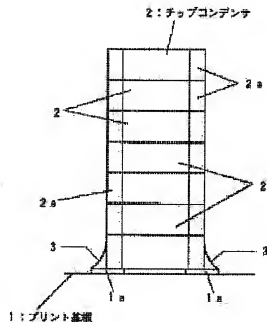
- European:

Application number: JP19930248968 19931005

Priority number(s): JP19930248968 19931005

## Abstract of JP 7106732 (A)

**PURPOSE:** To improve effective efficiency of a printed wiring board and further to facilitate reconstruction of the printed wiring board by vertically laminating a plurality of chip capacitors having nearly equal interterminal distances on the printed wiring board so as to obtain desired electrostatic capacity. **CONSTITUTION:** A plurality of chip capacitors 2 having the same capacities or the different electrostatic capacities are vertically laminated. The lamination number is decided so as to make the sum total of electrostatic capacities a desired electrostatic capacity. One chip capacitor 2 is joined on a printed wiring board 1 by using a conductive junction material 3. Later, a proper number of previously and mutually joined chip capacitors 2, 2... are laminated and joined on the printed substrate 1.; Solder or a conductive bond melting and softening at a prescribed temperature and later solidifying is used for the conductive junction material 3. Thereby, an occupying area of the capacitors on the printed wiring board can be reduced, thus allowing improvement of mounting efficiency of the printed substrate.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106732

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 1/18		S 7128-4E		
H 0 1 G 4/38		9174-5E	H 0 1 G 4/ 38	

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号	特願平5-248968	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22) 出願日	平成5年(1993)10月5日	(72) 発明者	飯島 和彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72) 発明者	馬場 俊二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72) 発明者	前野 善信 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74) 代理人	弁理士 山川 雅男

最終頁に続く

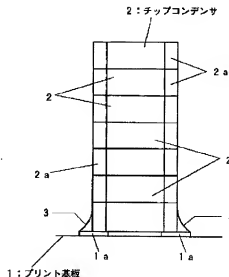
(54) 【発明の名称】 コンデンサの実装構造

(67) 【要約】

【目的】 本発明はコンデンサの実装構造に関し、プリント基板の実装効率を向上させ、かつプリント基板の改造を容易にすることを目的とする。

【構成】 プリント基板1上に端子間距離の略等しい複数のチップコンデンサ2、2・・を垂直方向に積層して所望の静電容量を得るように構成する。

本発明の実施例を示す図



## 【特許請求の範囲】

【請求項1】プリント基板（1）上に端子間距離の略等しい複数のチップコンデンサ（2、2・・・）を垂直方向に積層して所望の静電容量を得るコンデンサの実装構造。

【請求項2】実装面同士を対向させて接触させた複数のチップコンデンサ（2、2）をプリント基板（1）上に垂直方向に積層して所望の静電容量を得るコンデンサの実装構造。

【請求項3】チップコンデンサ（2）のプリント基板（1）への接合と、チップコンデンサ（2、2）間の接合は、溶融温度の異なる導電性接合材料（3）によりなされる請求項1または2記載のコンデンサの実装構造。

【請求項4】前記積層されたチップコンデンサ組（2A）の複数を所定状態に配列して冷却風の導風ガイドを構成する請求項1、2または3記載のコンデンサの実装構造。

【請求項5】前記積層されたチップコンデンサ組（2A）の複数を所定状態に配列して冷却風の導風ガイドを構成する請求項1、2または3記載のコンデンサの実装構造。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、コンデンサの実装構造 20 に関するものである。

## 【0002】

【従来の技術】プリント基板上に回路網を構成する場合においては、種々の静電容量のコンデンサが使用され、従来、所望の静電容量を回路網に付与するためには、該静電容量を有するコンデンサをプリント基板上に実装することにより行われている。

【0003】一方、コンデンサには、種々のタイプ、大きさのものが存在しているために、プリント基板には、実装すべきコンデンサのプリント基板上での実装面積を 30 考慮したパターンニングが施されている。

## 【0004】

【発明が解決しようとする課題】しかし、上述した従来例においては、静電容量が大きくなると、一般にコンデンサの実装面積は増加するために、比較的大容量のコンデンサを実装する必要がある回路網では、コンデンサの実装領域が大きくなり、プリント基板全体の実装効率の低下をもたらすという欠点を有するものであった。

【0005】また、例えば、回路網の一部変更等により当該位置における静電容量の値を変更する必要性が生じ、該静電容量を有するコンデンサの実装面積、あるいは端子間の距離が既実装のもの異なる場合には、プリント基板1のパターンニングを直す必要が生じるために、プリント基板の作り替えを余儀なくされるという欠点を有するものであった。

【0006】本発明は、以上の欠点を解消すべくなされたものであって、プリント基板の実装効率を向上させることができ、しかもプリント基板の改造の容易なコンデンサの実装構造を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明によれば上記目的は、実施例に対応する図1に示すように、プリント基板1上に端子間距離の略等しい複数のチップコンデンサ2、2・・・を垂直方向に積層して所望の静電容量を得るコンデンサの実装構造を提供することにより達成される。

## 【0008】

【作用】コンデンサは、並列接続することにより静電容量が増加することは周知の事実であり、一方、チップコンデンサ2の実装面の面積は、略一定していることも広く知られている。

【0009】本発明は、以上の点に着目してなされたもので、端子間距離の略等しい複数のチップコンデンサ2を垂直方向に並列接続することにより所望の静電容量を得ることが可能となり、この結果の実装面積の増加をもたらすことがない。

【0010】さらに、チップコンデンサ2の並列個数、あるいは構成容量を変更するだけで静電容量の変更に対応することができ、この際の実装面積は変わらないので、基板の改造が容易になる。

## 【0011】

【実施例】以下、本発明の望ましい実施例を添付図面に基いて詳細に説明する。図1に本発明の実施例を示すもので、図中1はプリント基板、1aはプリント基板1の実装面に形成されたコンデンサ実装用の接合パッドを示す。

【0012】2はチップコンデンサであり、同じ静電容量を持つもの、あるいは異なる静電容量を持つものが複数個垂直方向に積層されており、積層数は、各チップコンデンサ2の静電容量の総和が所望の静電容量に等しくなるように決定される。

【0013】チップコンデンサ2をプリント基板1上に実装するには、図2に示すように、まず、1個のチップコンデンサ2をプリント基板1上に導電性接合材料3を使用して接合しておき、その後、予め互いに接合された複数個（図示の例では2個）のチップコンデンサ2、2・・・をプリント基板1に接合されたチップコンデンサ2上に積層して接合することにより行われる。

【0014】導電性接合材料3としては、ハンダ、あるいは所定の溶融温度で溶融、あるいは軟化し、その後固化する導電性接着剤を使用することが可能であり、図示の実施例においては、プリント基板1のコンデンサ接合パッド1aとチップコンデンサ2の端子2aとを接合するための導電性接合材料3としてハンダを使用し、チップコンデンサ2の端子2a、2a同士の接合には、導電性接着剤を使用した場合が示されているが、図4に示すように、両方に導電性接着剤を使用することも、あるいはハンダを使用することも可能である。

【0015】この場合、プリント基板1上に接合されたチップコンデンサ2上に他のチップコンデンサ2を接合

する際に、プリント基板1上にチップコンデンサ2を接合している導電性接合材料3が溶融することのないように、チップコンデンサ2同士を接合する導電性接合材料3には、プリント基板1への接合に使用される導電性接合材料3より溶融温度が低いものが使用される。

【0016】なお、図示の実施例は、プリント基板1上のチップコンデンサ2上に積層するチップコンデンサ2を変更することにより静電容量の変更に対応することを前提として構成された場合を示したが、この他に、図3に示すように、構成することも可能である。

【0017】すなわち、この実施例において、チップコンデンサ2は、予め所望の静電容量となるように積層されており、この積層体をプリント基板1のコンデンサ接合パッド1aに接合するように構成され、静電容量の変化には、積層体をそっくり取り替えることにより対応される。

【0018】したがってこの場合、チップコンデンサ2同士を接合するための導電性接合材料3の溶融温度は、プリント基板1への接合時に使用される導電性接合材料3のそれよりも高くされている。

【0019】図5にチップコンデンサ2の積層方法の変形例を示す。この変形例は、実装面（面積の広い面）同士を対向させて接合した2個のチップコンデンサ2、2を単位として複数組をプリント基板1上に積層する場合を示したもので、実装高さの制限がある場合に有効な変形である。

【0020】図6に本発明の他の実施例を示す。この実施例は、プリント基板1上に高発熱素子4が実装されており、該高発熱素子4を冷却風により冷却する場合に有効な変形を示す。

【0021】図6において2Aは複数個のチップコンデンサ2、2・・・を積層したチップコンデンサ組を示し、高

発熱素子4から放射状に配置される。したがってこの実施例において、各チップコンデンサ組2A、2A・・・は、全体としてプリント基板1上に所定の高さ寸法を有して、図6において矢印で示す冷却風に対して抵抗要素となるために、プリント基板1上を流れる冷却風は、チップコンデンサ組2A、2A・・・を導風ガイドとして高発熱素子4側に導かれ、その結果、高発熱素子4に対する冷却効率を向上させることができる。

【0022】

10 【発明の効果】以上の説明から明らかなように、本発明によれば、プリント基板1上のコンデンサの占有面積を少なくすることができるので、プリント基板の実装効率を向上させることができる。

【0023】また、積層されるチップコンデンサの静電容量、あるいは積層数を変化させるだけで全体の静電容量を変化させることができるので、パターンニングのやり直しをすることなく、容易に基板の改造を行うことができる。

【図面の簡単な説明】

20 【図1】本発明の実施例を示す図である。

【図2】チップコンデンサの実装方法を示す図である。

【図3】図2の変形例を示す図である。

【図4】図1の変形例を示す図である。

【図5】チップコンデンサの積層方法の変形例を示す図である。

【図6】本発明の他の実施例を示す図である。

【符号の説明】

1 プリント基板

2 チップコンデンサ

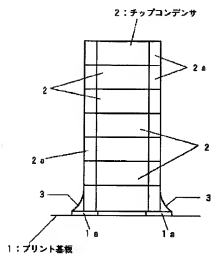
2a 端子

2A チップコンデンサ組

3 導電性接合材料

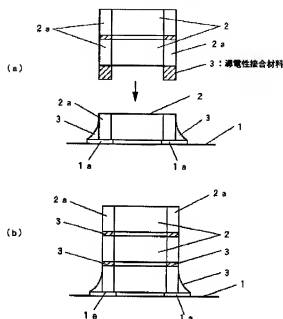
【図 1】

本発明の実施例を示す図



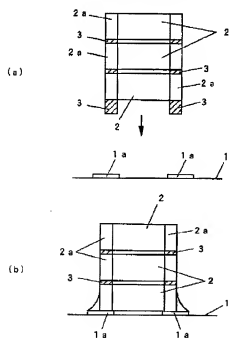
【図 2】

チップコンデンサの実装方法を示す図



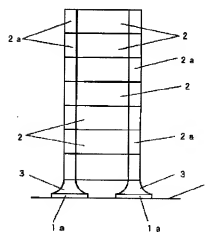
【図 3】

図 2 の変形例を示す図



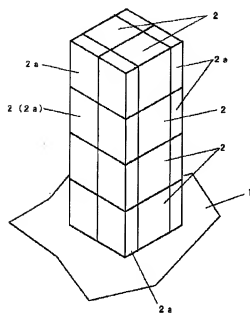
【図 4】

図 1 の変形例を示す図



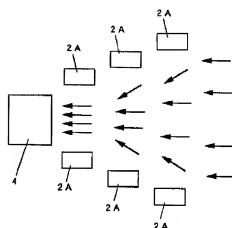
【図5】

チップコンデンサの積層方法の変形例を示す図



【図6】

本発明の他の実施例を示す図



フロントページの続き

(72) 発明者 中村 直樹  
 神奈川県川崎市中原区上小田中1015番地  
 富士通株式会社内

(72) 発明者 鵜塚 良典  
 神奈川県川崎市中原区上小田中1015番地  
 富士通株式会社内